



УКРАЇНА

(19) UA

(11) 55622

(13) A

(51) 7 H03K3/64

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВІНАХІДВидається під
відповідальність
власника
патенту

(54) ФОРМУВАЧ СЕРІЇ ІМПУЛЬСІВ

1

2

(21) 2002010505

(22) 21 01 2002

(24) 15 04 2003

(46) 15 04 2003, Бюл. № 4, 2003 р.

(72) Глуховець Юрій Вікторович, Слюсар Ігор Іванович, Уткін Юрій Вікторович, Івченко Євген Ігоревич, Талалаєв Володимир Опанасович, Глуховець Олександр Юрійович

(73) ПОЛТАВСЬКИЙ ВІЙСЬКОВИЙ ІНСТИТУТ ЗВ'ЯЗКУ

(57) 1 Формувач серій імпульсів, який містить генератор тактових імпульсів, перший елемент І, перший лічильник, мультиплексор і перший RS-тригер, який відрізняється тим, що в нього додатково введені блок задання інтервалу, блок задання структури тесту, блок формування адресних команд, другий лічильник, другий RS-тригер, другий елемент І, блок задання режиму, причому вихід генератора тактових імпульсів з'єднано з першим входом першого елемента І, вихід якого з'єднано з другим входом першого лічильника, з першим входом блока задання режиму та з другим входом другого елемента І, вихід першого лічильника з'єднано з першим входом першого RS-тригера і з першим входом блока задання інтервалу, виходи групи виходів якого з'єднано з входами першої групи входів першого лічильника, вихід першого RS-тригера з'єднано з першим входом другого елемента І, вихід якого з'єднано з другим входом другого лічильника і з першим входом блока формування адресних команд, виходи групи виходів якого з'єднано з входами першої групи входів мультиплексора, входи другої групи входів якого з'єднано з виходами першої групи виходів другого лічильника, перший і другий виходи блока задання режиму з'єднано відповідно з першим і другим входами другого RS-тригера, вихід якого з'єднано з другим входом першого елемента І та з третіми входами першого і другого лічильників, а третій вихід блока задання режиму з'єднано з другими входами блока задання інтервалу і блока задання структури тесту, при цьому третій, четвертий, п'я-

тий, шостий та сьомий входи блока задання режиму є відповідно першим, другим, третім, четвертим та п'ятим входами пристрою, а вихід мультиплексора виходом пристрою

2 Пристрій за п. 1, який відрізняється тим, що блок задання режиму містить перший та другий RS-тригери, блок періодичного формування сигналу запуску, перший, другий та третій елементи І, елемент затримки, формувач коротких імпульсів, перший і другий елементи АБО, виходи яких є відповідно першим і другим виходами блока, третій і четвертий входи якого з'єднано відповідно з першим і другим входами першого RS-тригера, прямий і інверсний виходи якого з'єднано відповідно з другим входом першого елемента І та з першим входом другого елемента І, вихід першого елемента І з'єднано з першим входом першого елемента АБО, третій вхід якого з'єднано з виходом другого елемента І, а другий вхід є п'ятим входом блока і з'єднано з першим входом блока періодичного формування сигналу запуску, вихід якого з'єднано з другим входом другого елемента І, а другий вхід є першим входом блока, шостий і сьомий входи якого з'єднано відповідно з першим і другим входами другого RS-тригера, другий вихід якого з'єднано з четвертим входом блока періодичного формування сигналу запуску, а перший вихід з'єднано одночасно з третім входом блока періодичного формування сигналу запуску і з першим входом третього елемента І, вихід якого з'єднано з першим входом першого елемента І, вихід формувача коротких імпульсів з'єднано з другим входом другого елемента АБО і є третім виходом блока, другий вхід якого з'єднано одночасно з першим входом другого елемента АБО і через елемент затримки - з другим входом третього елемента І

3 Пристрій за п. 1, який відрізняється тим, що блок періодичного формування сигналу запуску містить перший і другий елементи І, RS-тригер і дільник частоти, вихід якого є виходом блока, перший і третій входи якого з'єднано з першим і другим входами першого елемента І, вихід якого з'єднано з першим входом RS-тригера, другий вхід якого є четвертим входом блока, а вихід з'єднано з першим входом другого елемента І, другий вхід якого є другим входом блока, а вихід з'єднано з входом дільника частоти

(13) A

(11) 55622

(19) UA

Винахід відноситься до техніки зв'язку і призначений для використання в якості формувача різних тестових послідовностей (пачок імпульсів) довільної структури при ремонті та діагностиці цифрової техніки зв'язку широкого класу

Відомо пристрій для формування серій імпульсів [1], який містить задаючий генератор, перший та другий тригери, перший та другий перерахункові блоки, здвиговий регістр, дешифратор нуля і мультиплексор

Недоліком даного пристрою є те, що він не забезпечує формування довільної послідовності імпульсів в серії, що в першу чергу обумовлено вибором "жорсткого" алгоритму комутації інформаційних шин мультиплексора. Крім того, для формування серії, яка має значну тривалість, потрібен регістр більшої розрядності, що ускладнює реалізацію пристрою та знижує його надійність

Відомо пристрій для формування імпульсних послідовностей [2] який містить генератор рахункових імпульсів, комутатор, програмний блок, елемент І, дільник частоти, тригер, шини запуску

Недоліком пристрою є невисока стабільність параметрів імпульсів і міжімпульсних пауз, що пояснюється використанням в генераторі рахункових імпульсів часозадаючих RC або LC ланцюгів, які мають значну залежність параметрів від температури і часу. Крім того, для утримання сітки частот необхідно мати велику кількість вказаних часозадаючих ланцюгів, що в свою чергу збільшує габарити, ускладнює пристрій та знижує його надійність

Найбільш близьким технічним рішенням до запропонованого є пристрій для формування серій імпульсів [3], який містить послідовно з'єднані генератор імпульсів, ключ, двійковий лічильник імпульсів, блок задання числа імпульсів в серії, а також мультиплексор

Однак, відомий пристрій не дозволяє формувати нерегулярну кодовану серію імпульсів, тобто не забезпечує можливість зміни положення і параметрів імпульсів в серії. Вказаний недолік обумовлений вибором "жорсткого" алгоритму управління мультиплексором

Таким чином, метою винаходу є розширення функціональних можливостей пристрою за рахунок формування тестових послідовностей (пачок імпульсів) довільної структури

Мета досягається за рахунок адаптації використання пропонованого пристрою як в виді генератора пачки імпульсів з детермінованою структурою, так і генератора пачки імпульсів з довільною (кодованою) структурою. Це досягається тим, що в формувач серій імпульсів, який містить генератор тактових імпульсів, перший елемент І, перший лічильник, мультиплексор, і перший RS- тригер, додатково введені блок задання інтервалу, блок задання структури тесту, блок формування адресних команд, другий лічильник, другий RS- тригер, другий елемент І, блок задання режиму, причому

вихід генератора тактових імпульсів з'єднано з першим входом першого елемента І, вихід якого з'єднано з другим входом першого лічильника, з першим входом блоку задання режиму і другим входом другого елемента І, вихід першого лічильника з'єднано з першим входом першого RS- тригера і з першим входом блоку задання інтервалу, виходи групи виходів якого з'єднано з входами першої групи входів першого лічильника, вихід першого RS- тригера з'єднано з першим входом другого елемента І, вихід якого з'єднано з другим входом другого лічильника і з першим входом блоку формування адресних команд, виходи групи виходів якого з'єднано з входами першої групи входів мультиплексора, виходи другої групи виходів якого з'єднано з входами першої групи виходів другого лічильника, другий вихід другого лічильника з'єднано з другими входами блоку формування адресних команд, блоку задання режиму, першого RS- тригера і з першим входом блоку задання структури тесту, виходи групи виходів якого з'єднано з входами першої групи входів другого лічильника, перший і другий виходи блоку задання режиму з'єднано відповідно з першим і другим входами другого RS- тригера, вихід якого з'єднано з другим входом першого елемента І та з третім входом першого і другого лічильника, а третій вихід блоку задання режиму з'єднано з другими входами блоку задання інтервалу і блоку задання структури тесту, при цьому третій, четвертий, п'ятий, шостий і сьомий входи блоку задання режиму є відповідно першим, другим, третім, четвертим, п'ятим входами пристрою, а вихід мультиплексора виходом пристрою

На фіг 1 наведена структурна схема пристрою, на фіг 2 - блок задання режиму, на фіг 3 - блок періодичного формування сигналу запуску

Пристрій (фіг 1) містить блок задання інтервалу 1, блок задання структури тесту 2, блок формування адресних команд 3, генератор тактових імпульсів 4, перший елемент І 5, перший лічильник 6, перший RS- тригер 7, другий елемент І 8, другий лічильник 9, мультиплексор 10, блок задання режиму 11, другий RS- тригер 12, перший 13, другий 14, третій 15, четвертий 16, п'ятий 17 входи пристрою, вихід пристрою 18

Блок задання режиму 11 (фіг 2) містить перший RS- тригер 49, перший елемент І 50, перший елемент АБО 51, другий елемент І 52, блок періодичного формування сигналу запуску 53, другий RS- тригер 54, третій елемент І 55, другий елемент АБО 56, елемент затримки 57, формувач коротких імпульсів 58, перший 59, другий 60, третій 61, четвертий 62, п'ятий 63, шостий 64, сьомий 65, входи блоку, перший 66, другий 67, третій 68 виходи блоку

Блок періодичного формування сигналу запуску (фіг 3) містить перший 69 і другий 71 елементи І, RS- тригер 70, дільник частоти 72, перший 73, другий 74, третій 75, четвертий 76, входи і вихід 77 блоку

В початковому стані в лічильниках блоку задання інтервалу 1 (фіг 1) і блоку задання структури тесту 3 містяться не нульові комбінації (після приведення їх в початковий стан сигналом з виходу формувача коротких імпульсів 58 (фіг 2), перший 7, другий 12 тригери знаходяться в режимі зберігання логічного нуля

Варіанти схемних рішень блоків задання інтервалу 1, задання структури тесту 2, формування адресних команд 3, які містять лічильники 19, 24, 29 та програмуємі ПЗП 20, 25, 30 наведені на фіг 4, 5, 6 відповідно, а лічильників 6 та 9 на фіг 7,8

Пристрій (фіг 1) працює наступним чином

Генератор тактових імпульсів 4 виробляє безперервну послідовність імпульсів з періодом T , яка з його виходу надходить на перший вхід першого елемента І 5. Сигнал з рівнем логічного нуля, знімаємі з виходу другого тригера 12, закриває перший елемент І 5, блокує тим самим надходження тактових імпульсів на другий вхід 36 першого лічильника 6. В той же час цей сигнал, поступаючи на третій вхід 37 першого лічильника 6 (фіг 7) і третій вхід 42 другого лічильника 9 (фіг 8) які є входами попередньої установки даних лічильників, забезпечує попередній запис в них кодів, відповідних моментам початку генерації тестів і довжинам тестових послідовностей, тобто задаючи структуру формуємого тесту, і надходячи по інформаційним шинам з групи виходів 33 блоку задання інтервалу 1 на першу групу входів 35 першого лічильника 6 і з групи виходів 28 блоку задання структури тесту 2 на першу групу кодів 40 другого лічильника 9. При надходженні на третій вхід пристрою 15 (фіг 1) та відповідно, на 5-ий вхід 63 блоку задання режиму 11 сигналу "Пуск" (в виді короткого одиничного імпульсу) другий RS- тригер 12 переходить в режим зберігання логічної одиниці. Тактові імпульси починають надходити на другий вхід 36 першого лічильника 6. Після відпрацювання заданого часового інтервалу, який визначає інтервал між частинами тесту або самими тестами, імпульсом з виходу 38 першого лічильника 6 перший RS- тригер 7 переводиться в режим зберігання логічної одиниці, при цьому також змінюється кодова комбінація, яка має місце на групі виходів 23 блоку задання інтервалу 1 та, відповідно, на першій групі входів 35 першого лічильника 6.

Тактові імпульси з виходу першого елемента І 8 через відкритий другий елемент І 8 починають поступати на другий вхід 41 другого лічильника 9, а також на перший вхід 31 блоку формування адресних команд 3. При цьому починають змінюватись адреси на групі входів програмуємого постійного запам'ятовуючого пристрою ППЗП 30 (фіг 6) та, відповідно, на першій (адресній) групі входів 46 мультіплектора 10, що забезпечує можливість формування пакетів з потрібною структурою, шляхом мультіплексування потрібних інформаційних виходів з першої групи виходів 43 другого лічильника 9.

Після переповнення другого лічильника 9 (фіг 1) на його другому виході 44 з'являється імпульс, який установлює перший 7 і другий 12 RS- тригери, через блок задання режиму 11, в режим зберігання логічного нуля та який приводить до

зміни кодової комбінації на групі виходів 28 блоку задання структури тесту, та відповідно на першій групі входів 40 другого лічильника 9, а також скидаючий лічильник 29 блоку формування адресних команд 3 (фіг 6) в початковий стан.

Блок задання режиму 11 (фіг 2) забезпечує наступні режими роботи пристрою

одноразовий (встановлюється подачею на сьомий вхід 65 блоку управляючого сигналу),

повторний періодичний (теж, на четвертий вхід 62 та шостий вхід 64),

повторний не періодичний (теж, на третій вхід 61 та шостий вхід 64)

Одноразовий режим

При наявності рівня логічної одиниці на сьомому вході 65 блоку 11 та надходженні на п'ятий вхід 63 сигналу "Пуск" в виді короткого одиничного сигналу (імпульсу) останній через перший елемент АБО 51 надходить на вхід 2 першого RS- тригера 12 з першого виходу 68 блоку 11, при цьому забезпечується однократний запуск пристрою на формування тесту. По закінченні циклу формування тесту сигнал в виді імпульсу з рівнем логічної одиниці надходить на другий вхід 60 блоку задання режиму 11 і далі через другий елемент АБО 56 та другий вихід 67 блоку задання режиму 11 - на перший вхід другого RS - тригера 12 і встановлює його в початковий стан.

Повторний періодичний режим

При наявності рівнів логічних одиниць на четвертому вході 62 блоку 11 і шостому вході 64 другий RS - тригер 54 переходить в режим зберігання логічної одиниці, рівень логічної одиниці з його прямого виходу надходить на третій вхід блоку періодичного формування сигналу запуску 53 (фіг 3). Тригер 49 переходить в режим зберігання логічного нуля, рівень логічної одиниці з його другого виходу надходить на перший вхід другого елемента І 52. При надходженні сигналу "Пуск" другий RS - тригер 12 (фіг 1) переходить в одиничний стан, при цьому послідовність імпульсів з виходу генератора тактових імпульсів 4 надходить на другий вхід блоку періодичного формування сигналу запуску 53 (через перший вхід 59 блоку задання режиму 11). На виході блоку періодичного формування сигналу запуску 53 (через перший вхід 59 блоку задання режиму 11) на виході блоку періодичного формування сигналу запуску 53 з'являються сигнали, які слідуєть з періодом, який дорівнює інтервалу часу між генеруючими тестами. Ці сигнали через другий елемент І 52 та перший елемент АБО 51 надходять на другий вхід другого RS- тригера 12. Тим самим забезпечують періодичне формування тестів запропонованого пристрою.

Повторний не періодичний режим

При наявності рівнів логічної одиниці на шостому вході 64 та на третьому вході 61 блоку 11 перший тригер 49 переходить в режим зберігання логічної одиниці, рівень логічної одиниці і його прямого виходу надходить на другий вхід першого елемента І 50. В забезпеченні функціонування пристрою в даному режимі беруть участь також перший 51 та другий 56 елементи АБО, третій елемент І 55, елемент затримки 57.

Під повторним періодичним режимом форму-

вання тесту розуміється режим, коли початок роботи пристрою співпадає кожен раз з доволі визначеною (детермінованою) часовою базою, яка визначається моментами появи імпульсів на виході блоку періодичного формування сигналу запуску 53, в протилежність режиму неперіодичного повторного, який забезпечує початок роботи пристрою всякий раз після закінчення формування чергового тесту

Режим неперіодичного повторного при визначених умовах (постійній довжині тесту) можна розглядати як частковий випадок періодичного повторного режиму роботи пристрою

Реалізація запропонованого пристрою доведена до відомих науково-технічних рішень та можлива на ІМС серій 133, 155, та 564

Техніко-економічна ефективність запропонованого пристрою очевидна з описання принципу роботи, оскільки по-перше даний пристрій може

бути використано при діагностиці цифрової техніки зв'язку широкого класу, по-друге, пристрій забезпечує формування тестів довільної довжини, а також дозволяє керувати інтенсивністю формування пачок імпульсів тестів

Таким чином, використання пропонуемого пристрою дозволяє забезпечити процес контролю справності елементів цифрової техніки зв'язку на різноманітних етапах її діагностики та ремонту, тим самим підвищити ефективність її застосування по цільовому призначенню

Література

1 А С СРСР № 1187246, МКИ НОЗК 3/64, опубл 23 10 85р бюл № 39

2 А С СРСР 1210208, МКИ НОЗК 3/64, опубл 7 02 86р бюл № 5

3 А С СРСР № 752765, МКИ НОЗК 3/64, опубл 30 07 80р бюл № 28

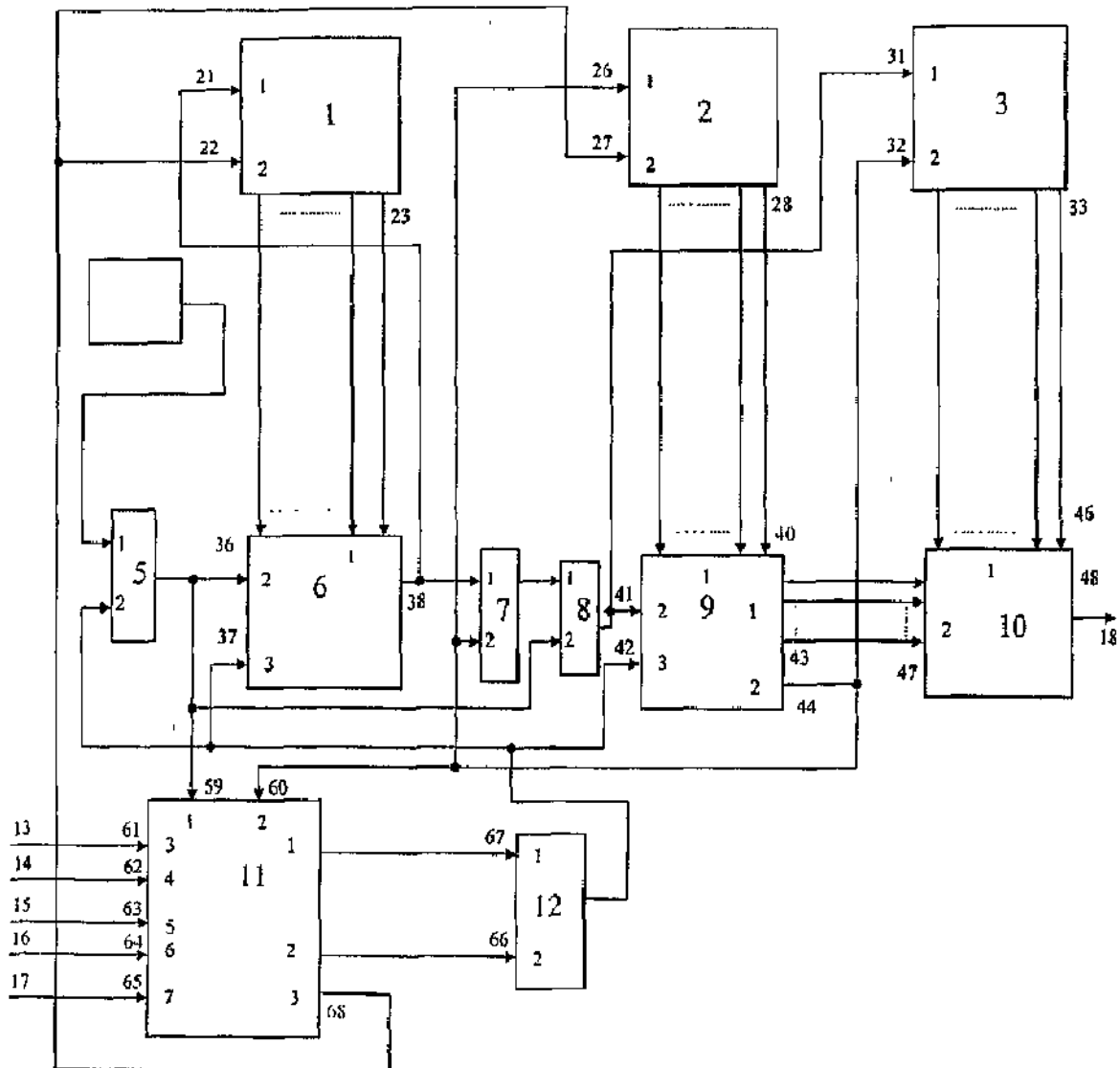


Fig. 1

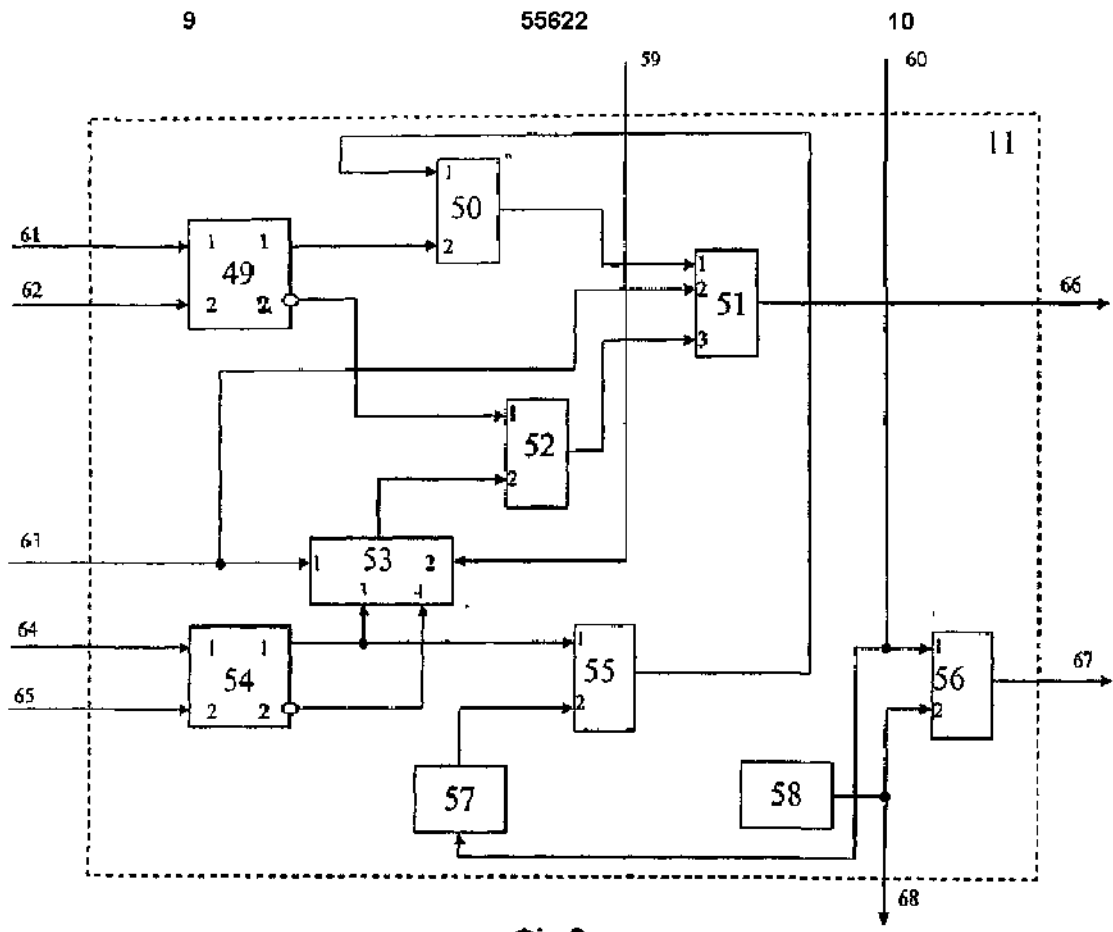


Fig. 2

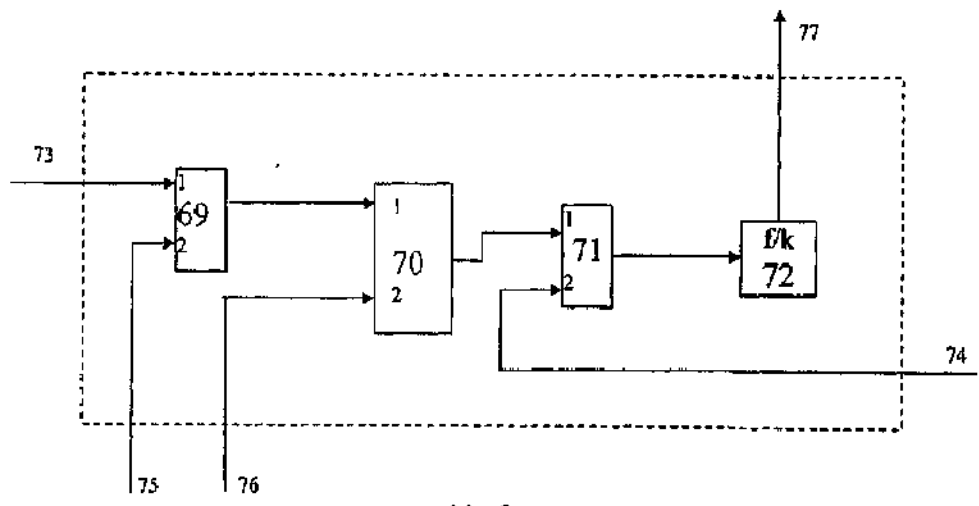
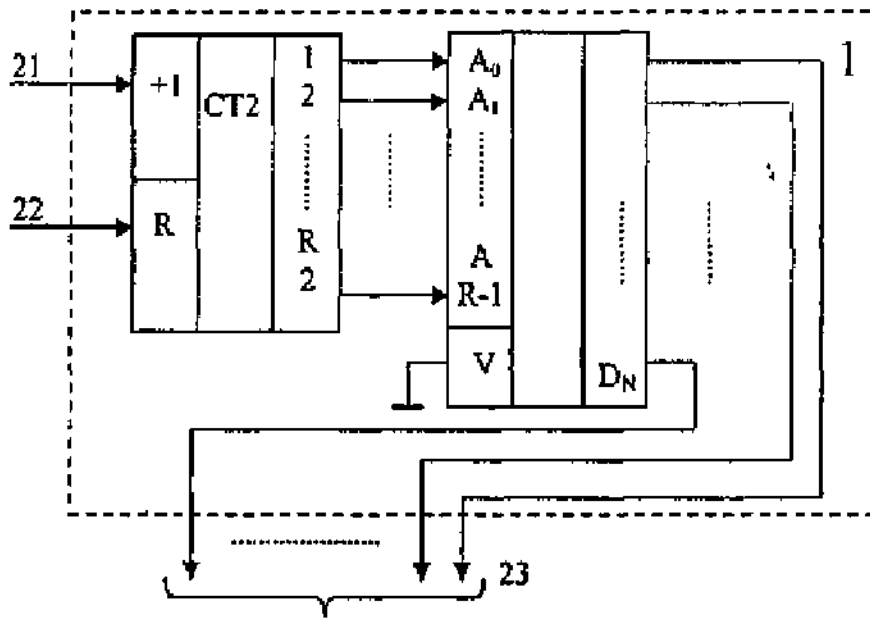
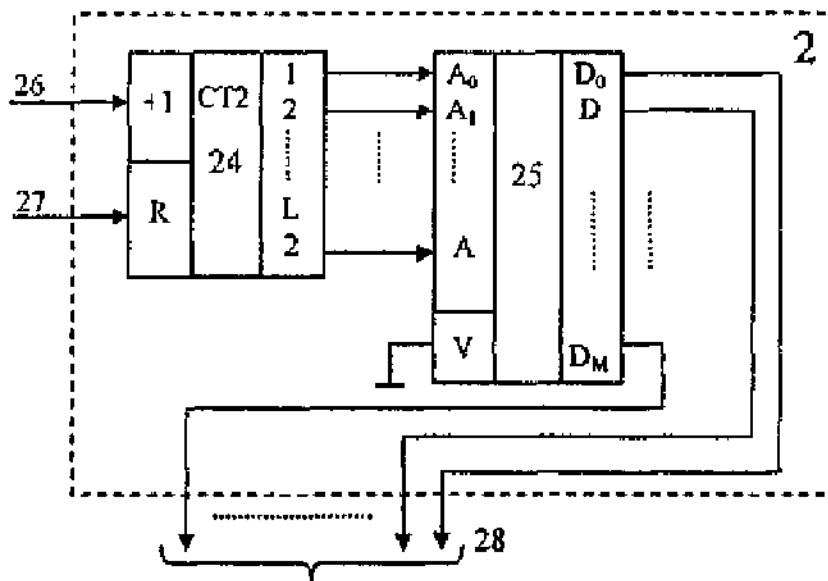


Fig. 3



Фиг. 4



Фиг. 5

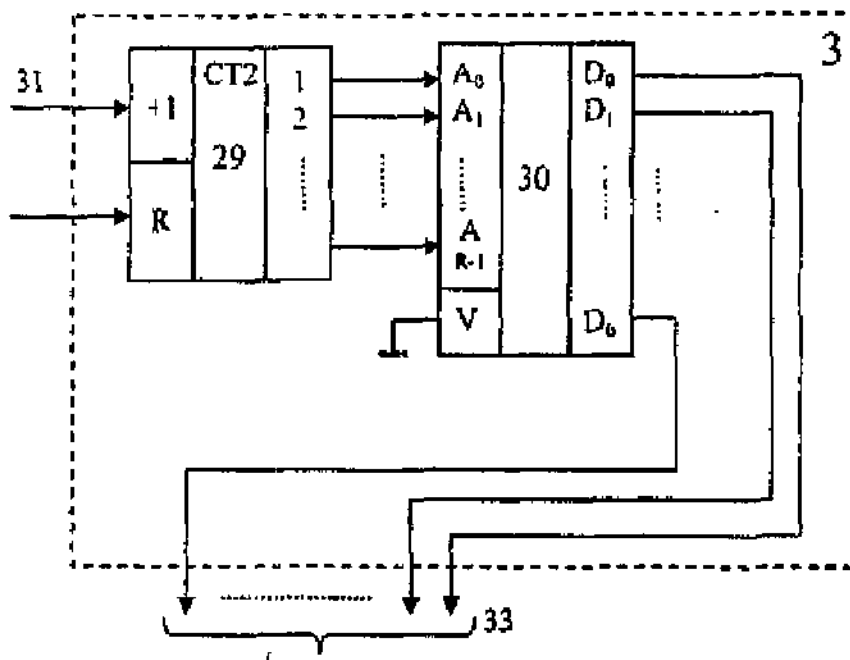


Fig. 6

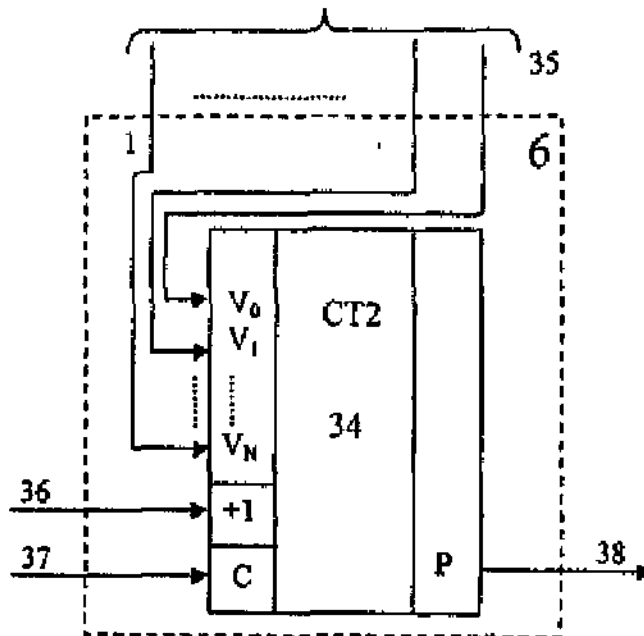
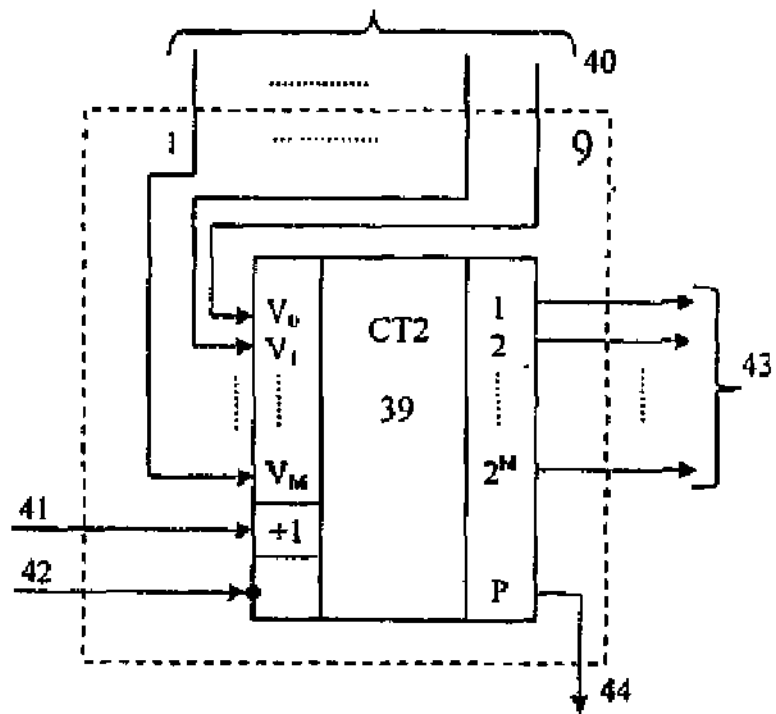


Fig. 7



Фиг. 8